

RS 码和双总线结构的高性能闪存图像存储器

余辉龙¹, 张 健¹, 李 清², 覃 翠¹, 赵 静¹, 花 涛¹

(1 南京工程学院 通信工程学院, 江苏 南京 211167; 2 中北大学 机械工程学院, 山西 太原 030051)

摘 要: 空间存储器存在高能粒子反转问题, 提出了采用变长匹配的 RS 码纠错的大容量 NAND 型闪存图像存储器. 为保证存储器实时纠错编译码时不影响持续读写速度, 提出了主副总线的闪存和 SRAM 阵列备份的体系结构. 在此基础上, 针对图像数据源分辨率变化和 NAND 闪存是页存储体系的特点, 提出了变长匹配的 RS 码字页编程方法, 可纠错有限字节的随机错误, 实现图像数据源、纠错码和闪存存储的匹配. 针对突发长码错误, 提出了固定周期的数据交织方法. 固化参数后实验结果表明, 在双总线系统架构下, 能够保证系统存取速度, 图像存储速率达到 1.44 Gbps, 读取速率达到 1.2 Gbps, 单页纠错能力突破 30 byte, 同误比特率下信噪比提高了 2 dB 以上.

关键词: RS 码; 双总线结构; 纠错匹配; NAND 闪存; 数据交织

中图分类号: TP333.5

文献标识码: A

文章编号: 1000-7180(2018)05-0005-06

High Performance Flash Image Recorder Based on RS Code and Dual-bus Structure

YU Hui-long¹, ZHANG Jian¹, LI Qing², QIN Cui¹, ZHAO Jing¹, HUA Tao¹

(1 Nanjing Institute of Technology, School of Communication Engineering, Nanjing 211167, China;

2 North University of China, School of Mechanical Engineering, Taiyuan 030051, China)

Abstract: Space recorder exists high-energy particle reverse. A high capacity NandFlash image recorder with variable matching length correctable RS code is proposed. SRAM array backup and dual bus storage structure is established. According to variable resolving of the image data and the page characteristics of NandFlash storage system, variable matching length of RS code programming method is proposed to correct limited bytes of random error. Then the image data source, error correcting codes and flash storage array are in organic combination. According to the long burst error, fixed cycle data interleaving method is proposed. The fixed parameter experiment show that the proposed algorithm has low complexity, the storage speed is up to 1.44 Gbps, read speed is up to 1.2 Gbps, and error correction ability every page is up to 30 byte and the SNR is improved by more than 2 dB.

Key words: Reed-Solomon code; dual bus architecture; error correct matching; NandFlash; data interleaving

1 引言

海量高速数据遥感数字图象存储在航空航天领域的需求越来越大, 高性能大容量遥感图像存储器, 一直是世界各航天航空工业发达国家不断探索与研究的领域^[1]. 以 NAND 型闪存为主要存储介质的高性能存储器的应用越来越广泛, NAND 型闪存的基

本存储结构为页, NAND 型闪存本身存在无效块等可靠性问题, 在地球外围空间中, 地球电离层、太阳辐射, 宇宙射线、空间带电粒子辐射和热辐射均可能对存储器造成不同程度的损伤, 使得存储的数据产生软错误和硬错误^[2-6]. 空间应用的存储器系统, 由于干扰造成的差错, 通常表现为加性干扰, 加性干扰由于信道特征不同可分为随机性干扰和突发性干

收稿日期: 2017-08-24; **修回日期:** 2017-09-08

基金项目: 国家自然科学基金(61501222); 山西省自然科学基金(2015011060); 南京工程学院校级科研基金(YKJ201322; CKJB201309; CKLB201406)

扰、热噪声、宇宙噪声等随机性干扰导致的误码相互之间是统计独立的,视为由白噪声引起,一般引起少量个别数据的错误。强带电粒子和脉冲干扰等容易造成突发性干扰,其误码会成串出现。

综上所述,以 NAND 型闪存图像存储器需解决以下问题。

(1) 遥感图像随机性错误与闪存存储结构的匹配问题, NAND 型闪存按页存储数据,一页有效数据为 $2^N + K$ 字节,需建立一个纠错码结构,其有效信息数据量接近于 2^N 字节,冗余编码数据小于 K 字节,并使纠错能力最大化。

(2) 大容量闪存存取数据与纠错编译码的速度匹配问题,由于遥感图像数据量大,分辨率不统一,需实现不同分辨率下数据的高速实时编码,译码。

(3) 随机性干扰造成的少量个别数据的错误可以通过 RS 码解决,突发性干扰带来的长码错误问题较为复杂。

为解决上述问题,本文提出了与闪存存储结构匹配的 RS 码的高速纠错译码算法,提出了双总线的冗余阵列结构的存储器体系结构下的 RS 译码,采用双流水线技术来提高速度,并在存储器体系结构的基础上,给出了长码错误的数据交织解决方案。

2 闪存存储系统结构

系统结构如图 1 所示,其中采用 SRAM 和闪存阵列的架构的存储系统如图 2 所示。存储器有 A、B 两条独立总线,流水线为 L 级。设遥感图像分辨率为 $P_1 \times P_2$,闪存并行总线存储位宽为 W ,由于 NAND 型闪存为 8 bit 的倍数,故并行总线位宽可写为 $W_1 \times 8$ (即 $W = W_1 \times 8$),图像存储时,将分辨率为 $P_1 \times P_2$ 的 8 bit 图像数据通过 RS 编码,添加完冗余码后经闪存控制器,通过并行总线转换,数据扩展为 W bit。在 A 和 B 总线的配合下,通过流水线技术将图像数据同时写入到 L 级闪存阵列与 SRAM 阵列中,SRAM 阵列用来备份,当闪存存在写入过程中发生错误时,将 SRAM 中备份的数据通过闪存控制器重新回写到闪存中,从而在不中断流水线和数据的完整性的情况下保证系统的持续高速存储。

读取闪存存储图像数据时,在总线 A 和 B 的配合下,采用流水线机制,闪存控制器通过主总线 A 将 L 级闪存阵列与 SRAM 阵列中的图像数据按照 W bit 的格式读出,并回写到 SRAM 中,由于 RS 译码为 8 bit 的格式,副总线 B 按 8 bit 的格式读

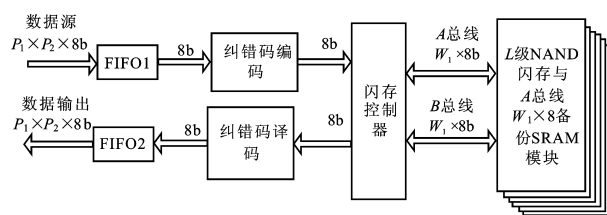


图 1 系统结构

取 SRAM 中的数据,并纠错译码,在此过程中,充分利用了闪存读取速度较慢,SRAM 读取速度快的特点,解决了闪存译码读取速度较慢的瓶颈。从而将位宽为 W bit 数据转换为 8 bit 的数据流,经纠错译码转换为分辨率 $P_1 \times P_2$ 的 8 bit 原始图像数据。

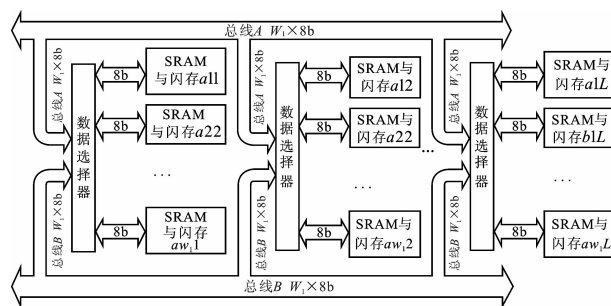


图 2 闪存阵列结构

若系统使用流水线级数 L 大于闪存的两倍编程时间时,流水线不会被中断,不会影响系统的持续写入速度。采用 SRAM 和闪存阵列的双总线结构较好的解决了当闪存存在无效块或写入错误时的持续存储问题。

3 纠错码与图像闪存存储系统结构的匹配

Reed-Solomon 码 (简称 RS 码) 是伽罗瓦域的一种 MDS 循环码,RS 码能纠正多个错误,可以设计为缩短码,适合用于纠正产生随机性错误的闪存存储系统。通过求模运算即可生成校验码组从而实现 RS 编码。RS 译码器是纠错编码算法的核心,包括伴随多项式计算、求解关键方程求解及搜搜索错误值计算,目前有较多成熟编译码方法^[7-8]。

一般的,RS 码可以记为 $RS(e, e-2T)$,其中 e 为 RS 缩短码的总字节数,能纠正 T 个字节随机性错误, $(e-2T)$ 为信息字节数。NAND 型以页为单位存储数据,一页有效数据为 $2^N + K$ 字节,目前 NAND 型闪存中 K 与 N 的关系如下所示:

$$K = 2^{N-5} \quad (1)$$

一般的可以设置有效信息数据量接近于 2^N 字节,纠错冗余编码数据接近 K 字节,并最大化纠错

能力. 设遥感图像分辨率为 $P_1 \times P_2$, 并行总线位宽为 $W_1 \times 8$. 在此基础上对闪存存储系统与纠错码之间的参数进行匹配.

由于 RS($e, e-2T$) 码中一般采用 GF(2^8) 域的编码, 因此 $e \leq 255$. 则 P_1 对应的是信息字节, 若 $P_1 \geq 255-2T$, 则需要对行图像数据分组, 若 $P_1 \leq 255-2T$, 则需要对行图像数据合并. 从工程实用角度, 需要将其组合为整数倍率关系. 因此 e 是一个需要确定的变量. 不失一般性, 设 $P_1 \leq 2^N$, 纠错冗余码限制在 K 内, 假设每行图像数据只存储到一片闪存页中, 否则需要将图像行数据进行分割.

(1) 若 $P_1 \leq 255-2T$ 则

$$e = P_1 \left\lceil \frac{255-2T}{P_1} \right\rceil + 2T \quad (2)$$

$\lceil \cdot \rceil$ 表示向下取整运算

(2) 若 $P_1 \geq 255-2T$, 纠错码 e 的估计为 $\tilde{e}$:

$$\tilde{e} = \left\lceil P_1 / \left\lceil \frac{P_1}{255-2T} \right\rceil \right\rceil + 2T \quad (3)$$

$\lceil \cdot \rceil$ 表示向下取整运算, $\lfloor \cdot \rfloor$ 表示向上取整运算. 此时, 计算:

$$P_1 = (\tilde{e} - 2T) \left\lceil \frac{P_1}{\tilde{e} - 2T} \right\rceil \quad (4)$$

若 $P_1 > P_1 + (e-2T)/2$ 则

$$e = \tilde{e} + 1 \quad (5)$$

否则

$$e = \tilde{e} \quad (6)$$

此时, 图像分辨率扩充为

$$P_1 = (e - 2T) \left\lceil \frac{P_1}{e - 2T} \right\rceil \quad (7)$$

将图像的每行数据只存储到一片闪存中, 设一个纠错码长对应一个编程过程, 则每一个流水级页

的编码过程数 Q 为:

$$Q = W_1 \left\lceil \frac{2^N + K}{e} \right\rceil \quad (8)$$

$\lceil \cdot \rceil$ 表示向下取整运算. 根据纠错码将其划分为 Q 个编程过程.

在双总线架构下, 图像数据存储如图 3 所示, 其具体存储过程如图 4 所示. 将输入的图像数据缓存到 FIFO 中, 当 FIFO 中的数据量达到 $(e-2T)$ 时开始 RS 编码, 充分利用 SRAM 阵列的快速存储特性, 通过添加 $2T$ 个伴随数据, 变成 e 字节的数据, 写入到 SRAM 1 中, 直到写满 Q 个 RS 编码过程. 同理, 在 SRAM2... 和 SRAM(W_1) 中写入 Q 个 RS 编码过程, 完成一级流水线的编码写入过程, 闪存控制器将前将 W_1 个 SRAM 中的 $(W_1 \times 8)$ bit 数据写入到闪存中. 通过乒乓操作机制, 在后 W_1 个 SRAM 中继续写入 $(W_1 \times 8)$ bit 图像数据, 其中 Φ 代表 Q 个 RS 编码过程, 每实现一次乒乓操作, 切换一级流水线. 当闪存出现写入无效块时通过总线 B 实现 SRAM 对闪存的重新写入, 不中断流水线, 防止因为无效块影响图像数据的完整性.

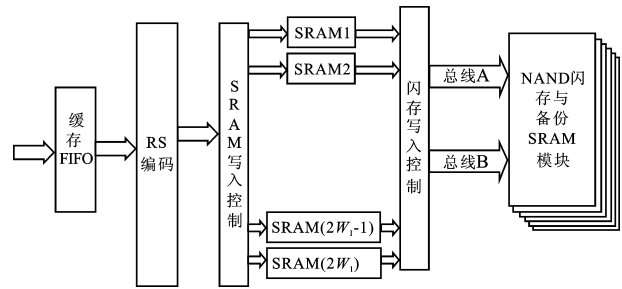


图3 RS编码存储架构

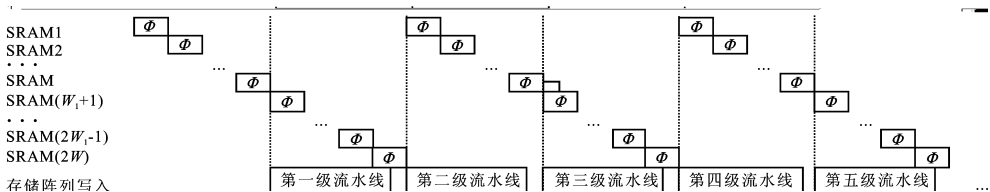


图4 SRAM与闪存阵列时序关系

在双总线架构下译码过程, 首先副总线 B 以流水线的形式将闪存中的 $(W_1 \times 8)$ bit 数据读出, 同时存储到相对应的备份 SRAM 阵列中, 主总线 A 依次读取 SRAM 中的数据帧, 经过 RS 译码后, 将正确的数据输出. 并同时写入相应 SRAM 中, R 代

表读取 SRAM 中数据, 并将读取的数据给 RS 译码器, 将数据读出后将其送给译码器纠错译码, 实现高速译码操作.

建立了一种适用于本文存储系统的纠错码方式, 其有效信息数据量接近于 2^N 字节, 冗余编码数

据可调,能够小于 K 字节,达到系统的纠错目标. 在双总线的冗余阵列结构的存储器体系结构下,解决了大容量闪存存取数据与纠错编译码的速度匹配问题,实现了不同分辨率下数据的高速实时编码,译码.

4 数据交织技术

RS 纠错编码并未解决突发错误带来的长码错误问题,根据系统结构,并实现系统的高速编译码功能,突发错误造成错误成串出现,采用数据交织的方法避免由此带来的不可纠错问题.

当进行 RS 编码,读取图 3 所示 SRAM1 至 SRAM($2W_1$)中数据时,其地址按照表 1 的顺序进行,先读取 SRAM 地址为 0 的数据,然后递增 m ,直到 mn ,接着读取地址 1 的数据,递增 m ,直到 $mn+$

1,依次类推,交织读取,直到取完所有的数据.

RS 译码前,将闪存中的数据缓存到对应的 SRAM 中,读取 SRAM 时,其地址可按照表 2 的顺序进行,先读取 SRAM 地址为 0 的数据,然后地址递增 $n+1$,直到 $(m-1)(n+1)$,接着地址为 1,递增 $n+1$,直到 $(m-1)(n+1)+1$,依次类推,直到所有的数据读完为止,从而实现数据解交织.

表 1 数据交织地址顺序

0	m	$2m$	$\cdots$	$(n-1)m$	nm
1	$n+1$	$2m+1$	$\cdots$	$(n-1)m+1$	$mn+1$
2	$m+2$	$2m+2$	$\cdots$	$(n-1)m+2$	$mn+2$
$\cdots$	$\cdots$	$\cdots$	$\cdots$	$\cdots$	$\cdots$
$m-2$	$m+m-2$	$2m+m-2$	$\cdots$	$(n-1)m+m-2$	$mn+m-2$
$m-1$	$m+m-1$	$2m+m-1$	$\cdots$	$(n-1)m+m-1$	$mn+m-1$

表 2 数据解交织地址顺序

0	$n+1$	$2(n+1)$	$\cdots$	$(m-2)(n+1)$	$(m-1)(n+1)$
1	$n+1+1$	$2(n+1)+1$	$\cdots$	$(m-2)(n+1)+1$	$(m-1)(n+1)+1$
2	$n+1+2$	$2(n+1)+2$	$\cdots$	$(m-2)(n+1)+2$	$(m-1)(n+1)+2$
$\cdots$	$\cdots$	$\cdots$	$\cdots$	$\cdots$	$\cdots$
$n-2$	$n+1+n-2$	$2(n+1)+n-2$	$\cdots$	$(m-2)(n+1)+n-2$	$(m-1)(n+1)+n-2$
$n-1$	$n+1+n-1$	$2(n+1)+n-1$	$\cdots$	$(m-2)(n+1)+n-1$	$(m-1)(n+1)+n-1$
n	$n+1+n$	$2(n+1)+n$		$(m-2)(n+1)+n$	$(m-1)(n+1)+n$

在双总线的冗余阵列结构的存储器体系结构下,通过地址切换实现数据交织,解决了突发性干扰带来的长码错误问题.

5 实验结果与分析

实验系统采用 K9KAG08U1M 芯片,该闪存芯片每页有 4 096 字节,冗余区为 128 字节. 采用 10 级流水线,则 L 为 10,则每一级流水线包含相应的 SRAM,用于数据备份,并行总线芯片数为 W_1 为 4. 设遥感图像分割分辨率为 $1\,024\times 720$. 能纠正 3 个随机错误,则 $T=3$,由式(2)得, $e=211$,新的行分辨率为 P_1 扩充为 1 025,一个流水级页的编程数 Q 为 80,选择本原多项式为 $P(x) = x^8 + x^4 + x^3 + x^2 + 1$, $M_0 = 212$,生成多项式 $G(x) = x^6 + \alpha^{123}x^5 + \alpha^{169}x^4 + \alpha^5x^3 + \alpha^{88}x^2 + \alpha^{216}x + \alpha^{12}$.

设 P_e 为每字节出错概率, P_b 为每比特出错概率,则有

$$p_e = 1 - (1 - p_b)^8 \tag{9}$$

不采用纠错码方法时,即仅仅使用原始数据,闪

存单页数据出错概率为 P :

$$P = 1 - (1 - p_e)^{4\,096} \tag{10}$$

在闪存存储系统中 $T = 3$,该 RS 码至多能够纠正 3 个字的随机错误. RS(211,205),出现 3 个以上随机错误将出现错码,一个 RS 编码单位译码出错概率 P_{u1} :

$$\begin{aligned} p_{u1} = & 1 - (1 - p_e)^{211} - C_{211}^1 p_e (1 - p_e)^{210} - \\ & C_{211}^2 p_e^2 (1 - p_e)^{209} - C_{211}^3 p_e^3 (1 - p_e)^{208} \end{aligned} \tag{11}$$

新的行分辨率为 P_1 扩充为 1 025,一个确定位置有一个确定数据,此时该数据不在错误范围内,一个 RS 编码单位出错概率为 P_{u2} :

$$\begin{aligned} p_{u1} = & 1 - (1 - p_e)^{210} - C_{210}^1 p_e (1 - p_e)^{209} - \\ & C_{210}^2 p_e^2 (1 - p_e)^{208} - C_{210}^3 p_e^3 (1 - p_e)^{207} \end{aligned} \tag{12}$$

采用 RS 纠错编码后,设 P_3 为闪存单页数据出错概率:

$$P_3 = 1 - (1 - p_{u1})^8 (1 - p_{u2})^2 \tag{13}$$

采用数据交织方案后,结合 RS 码的 3 字节就错

能力,系统对于连续 30 字节以内的单个突发错误具备纠错能力,因此采用数据交织方案后能够大大提高抵抗脉冲突发性干扰带来的错误,单页出错概率为 P_4 .

$$p_4 = 1 - (1 - p_{u1})^8 (1 - p_{u2})^2 - \sum_{i=3}^{29} (2^{108-i} - i)(1 - p_e)^{(2^{108-i-1})} p_e^{i+1} \quad (14)$$

随机性干扰导致的闪存存储错误相互之间是统计独立的,可认为由正态分布的白噪声引起.在高斯白噪声下,系统误比特率 P_b 与信噪比 S/N 的对应关系如下所示:

$$P_b = \frac{1}{2} \text{erfc}(\sqrt{\frac{S}{N}}) \quad (15)$$

通过式(14)~(20)得出当图像分辨率为 1024×720 时,原始数据与 RS 纠错编码后信噪比误比特率的关系,如图 4 所示.由此看出,采用 RS 编码后信噪比提高了 2 dB 以上.

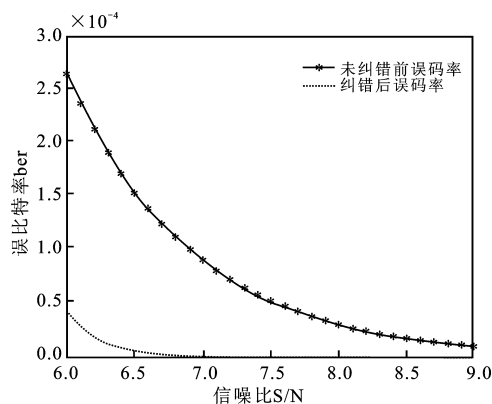


图5 纠错编码性能比较(1024×720)

在实验系统中,对系统实际存储速度进行了测试,在不采用纠错编编译码和数据交织时,系统持续存储速度达到 1.920 Gbps,系统持续读取速度达到 2.02 Gbps,采用纠错编编译码和数据交织后,RS 编码速度和数据交织时钟频率达到 180 MHz,不影响系统的存储速度,系统持续存储速度达到 1.44 Gbps,RS 译码时钟频率经测试达到 150 MHz,为保证系统的可靠性,系统持续读取速度达到 1.2 Gbps,并能正确译码,验证了采用纠错编码和数据交织技术能使系统保持较高的速度.

6 结束语

提出了 NAND 闪存图像存储器双总线系统结构,并用 SRAM 阵列备份闪存阵列,在写入闪存图像数据过程中,采用双缓存乒乓机制进行 RS 编码,

通过双流水线机制将数据写入闪存.读取数据过程中,通过双流水线机制将图像数据读取闪存中数据,采用改进的 RS 译码结构快速纠错译码.在 RS 纠错码解决方案的基础上,提出了固定周期的数据交织方法防止突发错误.

固化参数后的实验表明,在 RS 编译码下系统存储速度达到 1.44 Gbps,读取速度达到 1.2 Gbps,单页纠错能力达到 30 字节,每比特误码率比未 RS 码纠错方案信噪比提高了 2 dB,较好的解决了大粒子反转带来的随机错误.系统通过 RS 纠错码和数据交织方法较好的解决了空间环境下的随机错误和突发错误造成的数据可靠性问题.

参考文献:

- [1] Wang L, Ma Y, Zomaya A Y, et al. A parallel file system with application-aware data layout policies for massive remote sensing image processing in digital earth[J]. IEEE Transactions on Parallel and Distributed Systems, 2015, 26(6): 1497-1508.
- [2] 李珊,宋琪,朱岩,等.一种高可靠星载大容量存储器的坏块表存储方案设计[J].微电子学与计算机, 2016, 33(4):73-76.
- [3] 李锴,马航飞,张美璟,等.基于闪存坏块表的大粒度文件隐藏[J].微电子学与计算机, 2015, 32(5): 161-164.
- [4] 余辉龙,何昕,魏仲慧,等. NAND 型闪存大容量图像存储器无效块管理[J].微电子学与计算机, 2010, 27(2):1-4.
- [5] Tang F, Zou X, Yang H, et al. Estimation and correction of geolocation errors in FengYun-3C Microwave Radiation Imager Data[J]. IEEE Transactions on Geoscience and Remote Sensing, 2016, 54(1): 407-420.
- [6] Moradi I, Meng H, Ferraro R R, et al. Correcting geolocation errors for microwave instruments aboard NOAA satellites[J]. IEEE Trans. Geosci. Remote Sens., 2013, 51(6):3625-3637.
- [7] Peng X, Zhang W, Ji W, et al. Reduced-complexity multiplicity assignment algorithm and architecture for low-complexity chase decoder of reed-solomon codes[J]. IEEE Communications Letters, 2015, 19(11): 1865-1868.
- [8] Ji W, Zhang W, Peng X, et al. High-efficient reed-solomon decoder design using recursive berlekamp-massey architecture[J]. IET Communications, 2016, 10(4): 381-386.

作者简介:

余辉龙 男,(1982-),讲师.研究方向为光电信号处理、纠错编码. E-mail: yhl@njit. edu. cn.
张 健 男,(1977-),副教授.研究方向为光电子技术.
李 清 男,(1966-),副教授.研究方向为微流体驱动控制、微机电系统.

覃 翠 女,(1984-),讲师.研究方向为光电子技术.
赵 静 女,(1986-),讲师.研究方向为光电检测、微光夜视技术.
花 涛 男,(1986-),副教授.研究方向为超导电子学、太赫兹科学

(上接第 4 页)

限的增大,功率优化后的传输速率增加空间越大. 因为 D2D 传输功率越大,对 CU 用户的速率带来的影响越大,CU 速率的降低带来整个系统性能的下降. 同时可以观察到,当 D2D 功率门限为 14 dB 时,采用功率优化后的传输速率比最大功率时增加了 0.44 bits/s/Hz,比文献[7]的算法提高了 0.24 bits/s/Hz. 而在实际场景中,D2D 用户和 CU 用户数量较多,性能提升会更高.

同时,在仿真过程中发现,当 D2D 用户和 CU 用户的位置确定时,在初始功率设置合适的情况下,不同初始功率情况下所得到的关联矩阵 $\mathbf{A}$ 是相同的. 当 $P_B=20$ dB,D2D 通信发射功率 $P_K \in [0,10]$ dB 时,所得到的关联矩阵 $\mathbf{A}$ 完全一样的,而实际中 D2D 用户的通信距离很短,其发射功率远低于 BS 发射功率,因此在实际场景中功率的大小不影响 D2D 通信和 CU 用户的复用情况,证明了文中分步求解的有效性.

6 结束语

本文针对 D2D 蜂窝系统的资源分配问题,提出一种联合资源分配算法——JOHG. 该联合资源分配算法综合考虑了 D2D 用户与 CU 频谱分配和传输功率两个因素的优化问题. 但该优化问题是 NP 问题,为降低算法的复杂度,文中对联合资源分配优化的问题进行分步求解. 首先,假设先给定一个初始分配的 D2D 用户功率值,利用 Hungarian 方法对 CU 和 D2D 用户的关联矩阵进行求解;然后,在获得关联矩阵的基础上,本文利用 SCA 对其仅对功率优化的非凸优化模型转化为典型的凸问题进行求解,得到使传输速率最大的 D2D 用户的最优功率值,本文最后通过仿真结果验证了所提算法的有效性. 在今后的研究中,如何在更复杂的场景下研究 D2D 通信的资源分配是值得研究的方向,如异构蜂窝系统中多个 D2D 通信链路同时共享频谱时的资源分配问题.

参考文献:

[1] Cisco. Cisco visual networking index: Global mobile data traffic forecast,2016-2021 Q&A[EB/d] . http://www. cismw. com.
[2] Liu D, Wang L, Chen Y, et al. User association in 5G networks: A survey and an outlook[J]. IEEE Communications Surveys & Tutorials, 2016, 18 (2): 1018-1044.
[3] 李云,杨雄,张乐,等. 蜂窝网络中支持全双工 D2D 通信的资源分配算法[J]. 微电子学与计算机, 2016, 33 (11): 142-146.
[4] Li Y, Kaleem Z, Chang K H. Interference-aware resource-sharing scheme for multiple d2d group communications underlying cellular networks[J]. Wireless Personal Communications, 2016, 90(2):749-768.
[5] Zhang Jialiang, Wu Gang, Xiong Wenhui, et al. Utility-maximization resource allocation for device-to-device communication underlying cellular networks [C]// 2013 IEEE International Conference on Global Telecommunications. Atlanta, 2013:623-628.
[6] Zhai D, Sheng M, Wang X, et al. Energy-saving resource management for d2d and cellular coexisting networks enhanced by hybrid multiple access technologies [J]. IEEE Transactions on Wireless Communications, 2017,16(4):2678-2692.
[7] Zhao Wentao, Wang Shaowei. Low complexity power allocation for device-to-device communication underlying cellular networks[C]//2014 IEEE International Conference on Communications (ICC). Sydney, NSW 2014: 5532-5537.

作者简介:

赵晓焱 女,(1981-),博士,副教授.研究方向为 D2D 通信、移动边缘网络、无线传感器网络等.
E-mail: sonny7002@163. com.
陈亚军 男,(1988-),博士.研究方向为无线物理层安全、D2D 通信技术、无线定位技术等.
袁培燕 男,(1979-),博士,副教授.研究方向为移动机会网络、社交网络、D2D 通信等.